

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-135548  
 (43)Date of publication of application : 01.06.1993

(51)Int.CI. G11B 27/038  
 G11B 20/10

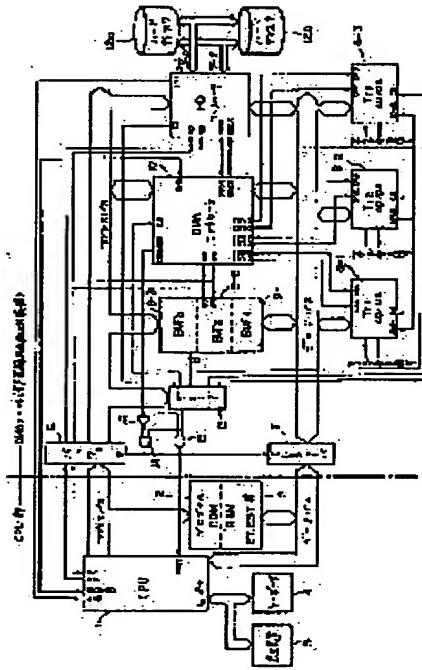
(21)Application number : 03-326412 (71)Applicant : CASIO COMPUT CO LTD  
 (22)Date of filing : 14.11.1991 (72)Inventor : IIZUKA NORIO

## (54) DIGITAL RECORDER

### (57)Abstract:

**PURPOSE:** To provide a digital recorder which can apply the fade-out/fade-in processing to the joint parts of the sound data.

**CONSTITUTION:** For instance, sound data stored in the hard disks 12a and 12b are read out as the event information under the control of a DMA controller 10. Then these event information are transferred to the buffers 9-1-9-3. Under such conditions, the fade-out/fade-in operation can be dynamically carried out.



## LEGAL STATUS

[Date of request for examination]	27.10.1998
[Date of sending the examiner's decision of rejection]	17.10.2000
[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]	
[Date of final disposal for application]	
[Patent number]	
[Date of registration]	
[Number of appeal against examiner's decision of rejection]	2000-18123
[Date of requesting appeal against examiner's decision of rejection]	15.11.2000
[Date of extinction of right]	

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平5-135548

(43)公開日 平成5年(1993)6月1日

(51)Int.Cl.<sup>5</sup>  
G 11 B 27/038  
20/10

識別記号 庁内整理番号  
G 7923-5D  
8224-5D

F I  
G 11 B 27/ 02

技術表示箇所  
G

審査請求 未請求 請求項の数 2(全 24 頁)

(21)出願番号 特願平3-326412

(22)出願日 平成3年(1991)11月14日

(71)出願人 000001443

カシオ計算機株式会社

東京都新宿区西新宿2丁目6番1号

(72)発明者 飯塙 宣男

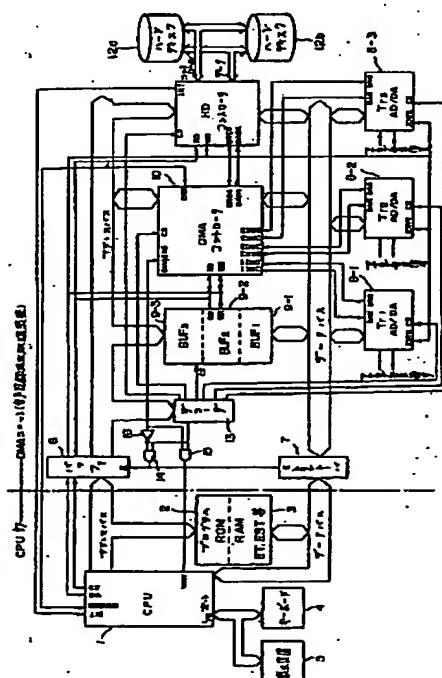
東京都羽村市栄町3丁目2番1号 カシオ  
計算機株式会社羽村技術センター内

(54)【発明の名称】 デジタルレコーダ

(57)【要約】

【目的】 音声データの継ぎ目部分等に対してフェードアウトおよびフェードインが加えられるようにしたデジタルレコーダを提供する。

【構成】 例えばハードディスク12a, 12bに記憶されている音声データをDMAコントローラ10の制御によってイベント情報として読み出し、このイベント情報をバッファ9-1~9-3に対して転送した際、フェードアウトおよびフェードイン処理を動的に行わせる。



**【特許請求の範囲】**

**【請求項1】** 音声データの入出力動作を行う音声入出力手段と、

前記音声入出力手段から供給される音声データを記憶する音声データ記憶手段と、

前記音声データ記憶手段に記憶された音声データから複数のイベント情報を形成し、このイベント情報の再生順序をプログラム制御することでランダムアクセス編集を行なうコントロール手段と、

前記コントロール手段によって編集されたイベント情報の境界に対してフェードデータを設定するフェードデータ設定手段と、

前記イベント情報の境界の直前または直後のデータブロックのデータを、前記フェードデータ設定手段によって設定されたフェードデータによってフェード処理して変更するデータ変更手段とを具備するデジタルレコーダ。

**【請求項2】** 音声データの入出力動作を行う音声入出力手段と、

前記音声入出力手段から供給される音声データを記憶する音声データ記憶手段と、

前記音声データ記憶手段に記憶された音声データから複数のイベント情報を形成し、このイベント情報の再生順序をプログラム制御することでランダムアクセス編集を行なうコントロール手段と、

前記コントロール手段によってランダムアクセス編集された音声データの任意の位置に対してフェードデータを設定するフェードデータ設定手段と、

前記ランダムアクセス編集された音声データの任意の位置の直前または直後のデータブロックのデータを、前記フェードデータ設定手段によって設定されたフェードデータによってフェード処理して変更するデータ変更手段とを具備するデジタルレコーダ。

**【発明の詳細な説明】****【0001】**

**【産業上の利用分野】** 本発明は、音声信号をデジタル的に記録、再生、更には編集することが可能なデジタルレコーダに関し、特に音声データの編集点または任意の位置に対してフェードイン・フェードアウトの処理が成されるようにしたデジタルレコーダに関する。

**【0002】**

**【従来の技術】** 従来から音声信号を記録（録音）、再生、編集する方法としては、磁気テープにアナログ音声信号を磁気記録し、それを再生、編集することが行われている。しかし、このような従来技術は、アナログ記録再生によっている為、音質の劣化が避けられず、特に一度録音した音声信号をダビングすると劣化が顕著となる。

**【0003】** また、磁気テープを記録媒体としているので、目的の編集ポイントに到達するのに時間がかかるという問題や、磁気テープの当該録音部分を物理

的に切り貼りしたり、編集部分を他の場所に一度コピーした上でなければ編集作業を行えないという問題もある。

**【0004】** 音質劣化の問題に対しては、磁気テープへの記録方法をデジタル化することで対応できるものの、シーケンシャルアクセスの記録媒体を用いるために生じる頭出しや編集の自由度に関する欠点は、単なるデジタル化によっては除去することができない。

**【0005】** そこで近年では、記録媒体としてウインチエスター型のハードディスクを用いてディスクレコーディングを行うことにより従来の問題点を解消する提案がなされている（例えば、JAS Journal'89・4月号、第16頁乃至第22頁「デジタル・オーディオ・ワークステーション（DAW）の動向～AES日本支部1月例会より～」を参照）。さらに本出願人も、ディスクレコーディングを開示した発明を特願平2-123788号（平成2年5月14日出願）、特願平3-65522号（平成3年3月6日出願）等により提案している。

**【0006】**

**【発明が解決しようとする課題】** そして、前記したハードディスクに記憶された音声データからイベント情報を形成し、このイベント情報の再生順序をプログラム制御することでランダムアクセス編集を行なうようになることが考案されている。

**【0007】** しかし、この様な場合、ランダムアクセス編集を行なったデータを再生する際、イベント情報の境界で発生する異音を抑えたい時には、ディスクまたはメモリ中にそのためのデータを予め用意しておかなければならないという問題点が発生し得る。

**【0008】** また、高価なDSP等により信号処理を行なうことも考えられるが、音声を出力するときにDSPにより信号処理を行なうのは、時間による処理の起動が繁雑なものになる。これはイベント情報の境界ばかりではなく、指定された任意のポイントに対してフェードイン・アウトなどの効果を得たいときも同様である。

**【0009】** そこで本発明は、前記した問題点を解消するために、再生時にイベント情報の先頭または末尾または任意の指定編集点のデータブロックの転送をしたのちに、フェードをかけるべきデータ部に必要なフェード処理を行なうようにしたデジタルレコーダを提供することにある。

**【0010】**

**【課題を解決するための手段】** 前記課題を解決するためには成された請求項1に記載のデジタルレコーダによれば、音声データの入出力動作を行う音声入出力手段としての音声入出力装置8-1乃至8-3と、音声入出力手段から供給される音声データを記憶する音声データ記憶手段としてのハードディスク12a, 12b等（これは光磁気ディスク等のディスク媒体とし得る）と、音声デ

ータ記憶手段に記憶された音声データから複数のイベント情報を形成し、このイベント情報の再生順序を制御することでランダムアクセス編集を行なうコントロール手段としてのCPU1と、コントロール手段によって編集されたイベント情報の境界に対してフェードデータを設定するフェードデータ設定手段としてのCPU1（プログラム上のステップ5-6, 5-9）と、イベント情報の境界の直前または直後のデータブロックのデータを、フェードデータ設定手段によって設定されたフェードデータによってフェード処理して変更するデータ変更手段としてのCPU1（プログラム上のステップ4-2）とを具備したデジタルレコーダが提供される。

【0011】また、前記課題を解決するために成された請求項2に記載のデジタルレコーダによれば、音声データの入出力動作を行う音声入出力手段としての音声入出力装置8-1乃至8-3と、音声入出力手段から供給されるデジタル音声データを記憶する音声データ記憶手段としてのハードディスク12a, 12b等（これは光磁気ディスク等のディスク媒体とし得る）と、音声データ記憶手段に記憶された音声データから複数のイベント情報を形成し、このイベント情報の再生順序を制御することでランダムアクセス編集を行なうコントロール手段としてのCPU1と、コントロール手段によってランダムアクセス編集された音声データの任意の位置に対してフェードデータを設定するフェードデータ設定手段としてのCPU1（プログラム上のステップ5-6, 5-9）と、ランダムアクセス編集された音声データの任意の位置の直前または直後のデータブロックのデータを、フェードデータ設定手段によって設定されたフェードデータによってフェード処理して変更するデータ変更手段としてのCPU1（プログラム上のステップ6-4, 6-5）とを具備したデジタルレコーダが提供される。

#### 【0012】

【作用】請求項1に記載のデジタルレコーダにおいては、イベント情報の境界の直前または直後のデータブロックの音声データが予め設定されたフェードデータに変更される。この結果、イベントの境界においてフェードアウトおよびフェードイン処理が成され、イベントの境界で発生する異音を効果的に抑制させることができる。

【0013】請求項2に記載のデジタルレコーダにおいては、イベント情報の任意の位置の直前または直後のデータブロックの音声データが予め設定されたフェードデータに変更される。この結果、指定された任意のポイントに対してフェードイン・フェードアウトなどの作用を持たせることができ、録音時に記録してしまったポップノイズなどの短時間に発生するノイズを効果的に抑圧させることができる。

#### 【0014】

【実施例】以下、この発明のデジタルレコーダの好適な実施例を図面を参照して説明する。

【0015】<全体構成>図1は、本発明のデジタルレコーダの一実施例の全体構成を示しており、この実施例においては、同時に3トラックまでの録音、再生動作が出来るようになっている。全体は、図示のとおり、CPU部（図中左側の部分）と、DMAユニット（音声記録再生処理装置）（図中右側の部分）とに分かれる。

【0016】CPU部は、CPU1と、このCPU1の動作を規定するプログラムROM2と、各種データを記憶するエリア、3トラックのディスクアクセスポインタを記憶するエリア、ハードディスク12a, 12bに記憶されている音声データを手動もしくは自動にて複数に区切ったときの各区切られた音声データ（イベント）の識別情報（イベント名）および記憶位置（ディスクID、先頭データアドレス、イベント長）を含むイベントテーブル（ET）を記憶するエリア、イベントテーブルに含まれるイベントの識別情報を各トラック毎にイベントの再生順序に配列して成るイベントシーケンステーブル（EST）を記憶するエリア、ならびにワークエリア等を含むRAM3と、CPU1のI/Oポートに接続された周辺機器である各種ファンクションキー、データ入力キー等を含むキーボード4、CRTあるいはLCDとそのドライバを含み各種表示を行う表示装置5とを有する。

【0017】CPU1は、後述するようにリアルタイム動作時（録音／再生等）において、DMAユニットのアドレスバス、データバスの空き時間に、必要に応じてDMAユニットの各構成要素の制御を行ない、編集時において、データブロックの並べ換えや、ディスクアクセスポインタの操作等を行なう。キーボード4からは、後述するように、各トラック（以下、Trとする）の録音／再生モードの設定、スタート、ストップ、ロケート、編集点の指定などが行える。またプログラムROM2, RAM3のアドレス端子には、アドレスバスを介してCPU1からアドレス信号が送られ、その出力端子はデータバスを介してCPU1にあるいはトランシーバ7に接続されている。

【0018】すなわち、CPU部とDMAユニットとを連結するために、バッファ6、トランシーバ7がDMAユニット内に設けられている。バッファ6はCPU1とアドレスバスを介して接続され、更にDMAユニット内のアドレスバスに連結される。トランシーバ7はCPU1とデータバスを介して接続され、更にDMAユニット内のデータバスに連結される。

【0019】DMAユニット内には、Tr1の為の音声入出力装置8-1、Tr2の為の音声入出力装置8-2、Tr3の為の音声入出力装置8-3が設けられていて、夫々には、アナログ音声信号が独立に入出力可能となっている。

【0020】各音声入出力装置8-1～8-3の内部には、A/D変換、D/A変換を選択的に実行する変換器

のほか、サンプリングノイズ除去用のローパスフィルタ、更にサンプリング周期でクロックを発生するクロック回路などが含まれている。これらの音声入出力装置8-1～8-3においては、当該トラックがレコード（記録）状態に設定されれば、外部からのアナログ音声信号をサンプリング周期毎に適宜フィルタリングした後、A/D変換して、デジタル音声データを得る。逆に当該トラックがプレイ（再生）状態に設定されれば、予め読み出されたデジタル音声データをサンプリング周期毎にD/A変換して適宜フィルタリングした後、アナログ音声信号として出力する。

【0021】Tr1～Tr3の各音声入出力装置8-1～8-3は、データバスを介して対応するバッファ9-1(BUF1)、バッファ9-2(BUF2)、バッファ9-3(BUF3)とそれぞれ接続され、デジタル音声データの授受を行う。

【0022】このバッファ9-1～9-3はTr1～Tr3に夫々対応しており、音声入出力装置8-1～8-3との間のデータ転送は、コントロール手段すなわちDMAコントローラ10にて、直接メモリアクセス(DMA)方式により行われる。

【0023】この各音声入出力装置8-1～8-3は、DMAコントローラ10に対し、レコーディング時には、サンプリング周期で音声入出力装置8-1～8-3からバッファ9-1～9-3方向への1回のサンプリングに係るデジタルデータのDMA転送（シングル転送）を要求（リクエスト）し（DRQ信号を出し（Tr1ではDRQ1、Tr2ではDRQ2、Tr3ではDRQ3としてDMAコントローラ10に与えられる））、DMAコントローラ10からの回答（アノーレッジが、Tr1ではDAK1、Tr2ではDAK2、Tr3ではDAK3としてDMAコントローラ10から与えられる）を受けて、実際のデータ転送が実行される。プレイ時には、サンプリング周期でバッファ9-1～9-3から音声入出力装置8-1～8-3方向への1回のサンプリングに係るデジタルデータのDMA転送（シングル転送）の要求が、音声入出力装置8-1～8-3からなされ、上記した場合と同様にDMAコントローラ10によってデータ転送が実行される。

【0024】このバッファ9-1～9-3は、1回もしくは複数回のデジタル音声データを記憶できる容量をもち、例えばRAMをTr1～Tr3に3分割し、夫々リミングバッファ（最終アドレスと先頭アドレスとが仮想的につながったバッファ）として使用することで、 FIFOバッファとして機能するよう構成されている。

【0025】このバッファ9-1～9-3に対するアドレス指定は、アドレスバスを介してDMAコントローラ10などよりなされる。すなわちDMA転送を行っているときはDMAユニット内のアドレスバス、データバス、制御信号ラインはDMAコントローラ10が専有す

ることになる。

【0026】そしてバッファ9-1～9-3はデータバスを介し、更にハードディスクコントローラ（以下、HDコントローラとする）11の制御に従ってハードディスク12a, 12bとデータの授受を行う。ハードディスク12a, 12bとHDコントローラ11とはデータバスとコントロール信号ラインとを介し連結され、ハードディスク12a, 12bに対するリード/ライトアクセスが全てHDコントローラ11によりなされる。ハードディスク12a, 12bは、Tr1～Tr3の3トラック分の分割された記憶エリアを有しており、バッファ9-1～9-3とのデータ転送がDMAコントローラ10によりなされる。これは、HDコントローラ11が1つのデータブロックを転送し終ると割込み(INT)をCPU1にかけ、次のデータブロックの転送指示をCPU1に対し行うことによりなされる。CPU1は、HDコントローラ11からインタラプト信号INTが到来すると、DMAコントローラ10、HDコントローラ11を所望の状態に設定したり、プログラミングしたりした後、DMA転送を行わせる。この動作の詳細は後に説明する。

【0027】DMAコントローラ10はプレイ時にあっては、ハードディスク12a, 12bから予め指定された量（複数サンプリング周期分）のデジタル音声データを読み出した後、バッファ9-1～9-3のうちの指定されるバッファへDMA転送（ブロック転送）するよう動作し、レコード時にあっては、指定されたバッファから予め指定された量（複数サンプリング周期分）のデジタル音声データを読み出してハードディスク12a, 12bの指定される位置へDMA転送（ブロック転送）するよう動作する。

【0028】このハードディスク12a, 12bとバッファ9-1～9-3との間のデータ転送の際は、HDコントローラ11よりDMAコントローラ10に対し要求信号DREQを出し（DMAコントローラ10側ではDRQ4として受取る）、転送可能となると逆に回答信号DACKを受取る（DMAコントローラ10側ではDAK4として出力する）ことで、実際の転送状態となる。

【0029】このように、DMAコントローラ10は、Tr1～Tr3の音声入出力装置8-1～8-3とバッファ9-1～9-3との間の3チャンネル（後述するCH1～CH3）のデータ転送と、順番に選択されたいずれかのバッファ9-1～9-3とハードディスク12a, 12bとの間の1チャンネル（後述するCH4）のデータ転送との、計4チャンネルの時分割データ転送動作をする。

【0030】CPU1は、DMAユニット内の各構成要素の機能、作用を管理するために、アドレスバスを介しバッファ6にアドレス信号を与えるほか、各構成要素の

指定信号をバッファ6を介しデコーダ13に供給して、夫々の指定信号CSを、各音声入出力装置8-1~8-3、バッファ9-1~9-3、DMAコントローラ10、HDコントローラ11に与える。同時に、トランシーバ7を介し、データバスを経由して種々のデータのやりとりがCPU1との間でなされる。

【0031】更に、CPU1から各音声入出力装置8-1~8-3のIOWR端子にはレコード状態（ライト状態）とするのかプレイ状態（リード状態）とするのかを指定する指定信号WRが、バッファ6を介して与えられる。

【0032】また、各バッファ9-1~9-3、DMAコントローラ10、HDコントローラ11に対してもこの指定信号（ライト信号）WRと、別の指定信号（リード信号）RDとがバッファ6を介してCPU1から与えられ、夫々の構成要素からデータを読み出したり逆にデータを書込んだりするようになる。また、DMAコントローラ10からも、DMA転送状態にあってはこれらの指定信号RD、WRを出力するようになる。これらの信号と各構成要素の機能、動作の関係は後述する。

【0033】DMAコントローラ10は、DMA転送を各構成要素間で行っているとき、DMA可能（イネーブリング）信号DMAENBを“1”にして出力する。その結果、この信号DMAENBがインバータ16を介して与えられるアンドゲート14の出力は“0”となり、バッファ6、トランシーバ7にはイネーブリング信号Eが“0”として与えられ、結局CPU部とDMAユニットとのデータ、アドレスの授受はできなくなる。このとき、アンドゲート15に“1”信号がデコーダ13より与えられておれば、アンドゲート15の出力が“1”となってCPU1にウェイト信号WAITが供給される。

【0034】つまり、CPU1がDMAユニットを管理するために、バッファ6、トランシーバ7を開かせるべくデコーダ13に所定の信号を与えているとき、つまりアンドゲート14の一入力端にデコーダ13より“1”信号を供給しているとき（CPU1がバッファ9-1~9-3、DMAコントローラ10、HDコントローラ11、音声入出力装置8-1~8-3のいずれかにアクセスするためのアドレス信号を出力すると、デコーダ13の出力はアクティブとなりアンドゲート14、15の夫々の一入力端への出力は“1”となる）、DMA転送を開始するとCPU1にはウェイト（WAIT）がかかり、DMA転送が優先して実行された後、ウェイト解除にともなってCPU1の動作が再開される。

【0035】また、逆に、DMAコントローラ10がDMA転送を実行しているときに、CPU1が例えばDMAコントローラ10をアクセスしようとしても、アンドゲート15よりウェイト信号WAITが与えられCPU1の実行サイクルは途中で引き延ばされて、バッファ6、トランシーバ7はその間閉じられることになる。

【0036】結局、CPU1がDMAユニットの各構成要素にアクセスできるのは、

1. CPU1がDMAユニットの各構成要素をアクセスするためのアドレスを出した。

2. 信号DMAENBがインアクティブ（“0”）つまりDMAユニットのデータバスが空いている。

の2つの条件を満足するときであるが、CPU1は上述したように、ゲート14、15の作用によって、いつDMAユニットにアクセスするかを考慮することなく処理をすすめることができる。

【0037】また、CPU1は、キー入力やコントロールデータのトリガに応じて直ちにDMAユニットの動作状態を変えたい場合、DMAコントローラ10に対して、DMAコントローラ10の状態がどのような状態であってもDMA転送を中断する指令DMAENDを出力することができる（これは、DMAコントローラ10にはEND信号として与えられる）。

【0038】<DMAコントローラ10の要部構成>次に、DMAコントローラ10の一構成例を説明する。DMAコントローラ10は、1バスサイクルが数百ナノ秒である転送能力をもつ。従って、3トラック分のサンプリングデータを転送する時間は1から2マイクロ秒となる。

【0039】サンプリング周波数fsを48KHzとしたとき、1サンプリング時間の間隔は約21マイクロ秒となり、サンプリング時間間隔のほとんどは、バッファ9-1~9-3とHDコントローラ11、ハードディスク12a、12bとの間のデータ転送及びCPU1から各構成要素のプログラミング時間にあてることが可能となる。

【0040】さて、その具体例の主要構成は図2に示されている。このDMAコントローラ10は、アドレスバスと接続される入力側(IN)のアドレスバッファ101と出力側(OUT)のアドレスバッファ102を有する。入力側のアドレスバッファ101に与えられるアドレス信号によって、レジスタセレクタ103の指定内容が変化し、アドレスレジスタ104とコントロールレジスタ105とに存在する所望のレジスタが指定されることになる。

【0041】アドレスレジスタ104、コントロールレジスタ105には4つのチャンネルCH1~CH4のエリアがあり、チャンネルCH1~CH3は、バッファ9-1~9-3と音声入出力装置8-1~8-3との間のDMA転送を行うためのレジスタであり、チャンネルCH4は、バッファ9-1~9-3のうちの指定したバッファとハードディスク12a、12bとの間のDMA転送を行なうためのレジスタである。

【0042】アドレスレジスタ104内の各チャンネルCH1~CH4のレジスタは、対応するバッファ9-1~9-3及び指定されたバッファのカレントアドレスと

スタートアドレスとを少なくとも記憶するエリアを有し、CH4のレジスタには、さらに転送カウンタが具備され、このカウンタに設定されただけのデータ数をDMA転送すると、HDコントローラ11のDMAリクエストが続いても新たにカウンタが設定されるまでDMA動作は停止される（後述する図8の8-8による）。またコントロールレジスタ105の各チャンネルCH1～CH4のエリアには、例えば、DMA転送の方向を指定するコントロールデータが記憶される。

【0043】このアドレスレジスタ104、コントロールレジスタ105の内容は、データバッファ106を介してデータバスに対して入出力可能となっている。そして、これらの各構成要素を制御しているのが、タイミングコントロールロジック107と、サービスコントローラ108、チャンネルセレクタ109である。

【0044】サービスコントローラ108は、ハードロジックもしくはマイクロプログラム制御構成となっていて、タイミングコントロールロジック107からの信号、音声入出力装置8-1～8-3、HDコントローラ11からのDMA要求信号DRQ1～DRQ4や、CPU1からのDMA中断指令END(DMA END)を受けとり、上記各構成要素に対する回答（アクノーレッジ）信号DAK1～DAK4、DMA転送中を示すDMA可能（イネーブリング）信号DMAENBを出力するほか、タイミングコントロールロジック107に対し各種指令を出したり、チャンネルセレクタ109に対しチャンネルセレクト信号を出力したりする。チャンネルセレクタ109は、アドレスレジスタ104、コントロールレジスタ105のなかの各チャンネルCH1～CH4に対応するレジスタを選択的に指定する。

【0045】タイミングコントロールロジック107は、デコーダ13からの指定信号CS、コントロールレジスタ105からのコントロール信号、サービスコントローラ108からの制御信号を受けて、アドレスバッファ102、データバッファ106の入出力制御をするほか、アドレスインクリメンタ110を動作させて、アドレスレジスタ104のなかの指定されたチャンネルのカレントアドレスレジスタをインクリメントし、該チャンネルに割り当てられたバッファの最終アドレスになったならば、該チャンネルに割り当てられたバッファの開始アドレスにリセットさせる。

【0046】<CPU1の全体動作>以下に、本実施例の動作について説明する。CPU1の動作を示すフローチャートが図3乃至図6に示されている。これはプログラムROM2に記憶されたプログラム（ソフトウェア）によるもので、図3はメインルーチンを示し、図4はHDコントローラ11からのインターラプト信号INTの到来に応答して実行するインターラプトルーチンを示している。また図5は、図4に示すインターラプトルーチンの一部のステップ4-4をさらに詳細に示しており、さらに

図6は、任意の編集点においてフェードデータを設定する図5における一部のステップ5-12をさらに詳細に示したものである。

【0047】まず図3において、CPU1は電源オンに応じてメインルーチンをスタートさせ、ステップ3-0（以下、単に3-0と記す）において各種初期状態を設定する。そして、3-1においてキー入力を受け、3-2において何のモードに設定されたかを判断する。

【0048】CPU1が現在プレイ/レコードモードであるとジャッジすると、3-2から3-3に進み、3つあるトラックを順次選択指定し、さらに3-4に進み各トラックの動作モードをキーボード4の入力指示に従って設定し、3-5において、A/D変換、D/A変換のいずれの動作を各音声入出力装置8-1～8-3が実行するのか、バッファ6、デコーダ13を介して指定信号CSを順次送出しながらIOWRを与えてセッティングする。いま、例えばTr1については、プレイ状態（従ってD/A変換動作状態）、Tr2及びTr3は夫々レコード状態（従ってA/D変換動作状態）とする。図10に、このようなモード設定した場合の概略動作の概念図を示す。

【0049】そして、3-5ではDMAコントローラ10に対し、各Tr1～Tr3についてのバッファ9-1～9-3のアドレスを初期化させる。つまり、図2のアドレスバッファ101、レジスタセレクタ103、チャンネルセレクタ109等により、チャンネルCH1～CH3の各レジスタ（アドレスレジスタ104、コントロールレジスタ105）を指定しながら、データバッファ106を介して初期設定データを入力設定する。

【0050】ここで、バッファ9-1～9-3は、リングバッファとして循環的に使用されるようになっており、初期状態としては、各バッファ9-1～9-3のスタートアドレスとカレントアドレスとは一致するようセットされる（図10に、各バッファ9-1～9-3のスタートアドレスとカレントアドレスとが、CH1～CH3のアドレスレジスタ104に記憶されて制御される状態を模式的に示してある）。

【0051】続いてCPU1は3-6の処理を実行し、RAM3内の作業（ワーク）メモリエリアに存在するハードディスク12a, 12bの各トラックTr1～Tr3に対応するディスクアクセスポイントを初期設定する（図10にハードディスク12a, 12bの記憶エリアと、ディスクアクセスポイントとの関係を示している）。

【0052】次にCPU1は、各音声入出力装置8-1～8-3のA/D変換動作又はD/A変換動作を開始させる（3-7）。続いて、3-8において、ソフトウェア割込みをかけて、HDコントローラ11が、ハードディスク12a, 12bとバッファ9-1～9-3のいずれかとの間のデータ転送のプログラム要求（HDコント

ローラ11がCPU1に対してインタラプトINTをかけること)を行なったとき(後述)と同じ処理を実行する。

【0053】具体的には、図4乃至図6に示したフローチャートに従った動作を3-8で実行することになる。ここで図4乃至図6に示したフローチャートの説明に入る前に、前記した図1のRAM3に格納される各テーブルの構成について説明する。図1のRAM3には、図1-2乃至図15に示すように再生スケジュールを制御するイベントテーブル(EST)、イベントシーケンステーブル(ESTとする)が定義されており、また、それらの中間データであるカレントデータのメモリ領域が取られている。

【0054】すなわち、図1-2は前記したイベントテーブルの登録例を示しており、このテーブルに格納されるイベントデータは、イベント名(name)、ディスクID(id)(ハードディスク12a(00)と12b(01)のいずれかを指定する)、先頭データアドレス(サンプル(ワード)データアドレス)(adr)s)、及びイベント長(サンプルデータ数)(vol)より構成されている。そして図1-2に示すイベントテーブルにおいては、オリジナルレコーディングデータである“1”から“4”は、録音時の領域確保によって自動的に作られる。

【0055】また、図1-3はオリジナルレコーディングデータのESTの例を示しており、横方向に“0”から“2”的ESTインデックス(EST\_index)が、縦方向に各トラック番号が配列され、それぞれに対応してイベント番号が格納される。図1-3においては、例えばトラック2のデータはディスク“00”と“01”にまたがって記録された状態を示しており、イベント番号“0”はシーケンス要素の終端を示すためのものである。

【0056】また、図1-4はユーザ自らイベント定義を行い、出力すべきトラックにそれを並べた編集作品1のESTの例を示しており、図1-3と同様に横方向に“0”から“8”的ESTインデックスが、縦方向に各トラック番号が配列され、それぞれに対応してイベント番号が格納される。従って以上のようにESTは編集作品に対応して複数存在しうる。

【0057】さらにまた、図1-5は実際にDMA転送を行っているときのカレントデータを示しており、各トラックの次回の転送対象となるESTのインデックス番号と、そのイベントがどれだけ転送されたかを示す既転送量が記憶される。

【0058】以下、図1-4に示すようなユーザ定義のイベントシーケンスを再生させた場合のCPU1のフェード処理動作を、図4及び図5に示したフローチャートに従って説明する。特に、この図4、図5は再生動作に重きをおいて示してある。

【0059】まず、CPU1はフェード要求(この要求は、後述するように4-10で記憶される)が有りか否かを判断する(4-1)。フェード要求が有りの場合には、4-2のステップに移り、後述する図5のステップ5-6、5-9で設定されたフェードデータに従い、バッファデータの変更の処理、つまりフェードイン処理またはフェードアウト処理を行なう。もし、前記ステップ4-1においてフェード要求がなしとジャッジされれば、前記4-2に示したステップの処理は省略される。次に、CPU1は4-3のステップにおいて転送トラックの決定を行なう。すなわち、例えばTr1について、ハードディスク12a、12bからデジタル信号データをバッファ9-1にDMA転送するために、DMAコントローラ10のチャンネルとしてTr1に対応するチャンネルCH1を決定する。

【0060】続いて、トラック番号とチャンネルバッファの空き容量(転送可能容量)からディスクID、ワードアドレス、転送アドレスを求めたり、イベントの境界を検出してフェードデータを設定する4-4のステップを実行する。この4-4のステップについては、図5にさらに詳しくそのフローが示されている。尚、バッファの空き容量は、セクタ単位に切り捨てる演算がなされていることを前提とする。

【0061】すなわち、5-1のステップにおいて、該当するトラック(いまの場合、Tr1)のカレントデータ(図1-5)よりESTインデックスを求め、さらにEST(図1-4)から、そのESTインデックスに対応するイベント番号を求める。そして5-2のステップにおいて、図1-2に示すイベントテーブルよりそのイベント番号に対応するディスクIDを求め、次いで、「イベントの先頭アドレス+カレントデータの既転送量=ワードアドレス」を演算してワードアドレスを求める。イベントの先頭アドレスは図1-2に示すイベントテーブルのadrより求められ、またカレントデータの既転送量は図1-5に示すカレントデータより求められる。

【0062】そしてCPU1は5-3において、ワードアドレスよりオフセットを求め(ワードアドレスはセクタを示す部分と、そのセクタ内における位置を表すオフセット部分より構成されている)、次いで「イベントの容量-既転送量=未転送量」を演算して未転送量を求める。イベントの容量は図1-2におけるイベントテーブルのvolより求められ、既転送量は図1-5のカレントデータより求められる。

【0063】ここで、5-4において「空き容量>未転送量」であるか否かが判断される。5-4においてNOとジャッジした場合、イベント末尾に達していないので、次に既転送量=0であるか否かが判断(5-5)される。これがYESとジャッジされる場合は、イベント先頭でありフェードインデータの設定が成される(5-6)。この設定で、例えばどのようなエンベロープで、

どの位の時間（何サンプル）で変化されるかが決定される。もし、前記5-5においてNOとジャッジされる場合には前記5-6の処理は省略される。そして5-7において「既転送量=カレントデータの既転送量+空き容量-オフセット」の演算により既転送量が設定され、さらに5-8において「転送ワード数=空き容量-オフセット」とする。このようにしてセクタ単位の転送で、セクタ内の任意位置からの転送を可能とする。尚、空き容量は、セクタ単位の大きさに切り捨てられている。

【0064】また、前記ステップ5-4においてYESとジャッジした場合、イベント末尾に達したと判断し、5-9においてフェードアウトデータの設定が行われる。この設定で、例えばどのようなエンベロープで、どの位の時間（何サンプル）で変化されるかが決定される。そして5-10において、カレントデータのESTのインデックスを1だけインクリメントし、さらに既転送量=0に設定される。次に、5-11において「転送ワード数=未転送量」とする。

【0065】なお、前記5-8および5-11のステップの後に破線で示すように、必要に応じて5-12のステップが入る。この5-12のステップは、フェード処理をイベントの境界のみで行なうのではなく、編集中に指定した任意の点でおこなわせるようにしたものである。すなわち編集中に前もってどの位置（イベント再生の配置が終わったものに対して）でフェード処理を行なうか指定する。これは再生開始後の何サンプル目かで指定する。さらにその位置に対して、フェードインの処理かフェードアウトの処理かを指定する。

【0066】前記5-12のステップは再生時において付加される処理を示しており、この5-12のステップの詳細については、図6に示してある。すなわち図6の6-1において、積算転送量に転送ワード数を加算する。なお積算転送量は再生動作開始毎に“0”にリセットされ、それまでの総データ転送ワード数を表している。そして次に、前記6-1の処理によって得られた転送量が編集点として指定されたポイントと一致したか否かが判断（6-2）される。このときYESとジャッジされた場合には、6-3に移り、操作指示がフェードインであるかフェードアウトであるかが判断される。操作指示がフェードインである場合にはフェードインデータの設定が行われ（6-4）、操作指示がフェードアウトである場合にはフェードアウトデータの設定が行われる（6-5）。この場合の設定も、ステップ5-6、5-9における場合と同様に行われる。また、前記6-2においてNOとジャッジされた場合には、前記6-3～6-5の判断並びに処理は省略される。

【0067】図4に戻り、4-5においてワードアドレスをディスクアドレスとオフセットに直し、転送ワード数より転送セクタ数を求める。更に4-6において、ディスクアドレス、転送セクタ数、トラックモードによ

り、HDコントローラ11をプログラミングする。ここで4-7において「オフセット=0」であるか否かがジャッジされ、イベント先頭の位置がセクタの境界と一致していないので、NOとジャッジされた場合には、イベント先頭の位置が半端なデータを含んだセクタである。そしてこの様な半端がある場合には4-11および4-12において、DMAコントローラ10におけるアドレスレジスタ104のCH4のスタートアドレスをイメージ（実際には存在しない）領域に設定し、前記転送カウンタにオフセット値を設定して、半端なデータ分、つまりオフセット値分のデータをダミー転送する。

【0068】4-12においてダミー転送が終了したと判定されるか、または4-7においてYESとジャッジされた場合（「オフセット=0」のとき）には、4-8に進み、アドレスレジスタ104の当該CH（いまの場合、CH1）のスタートアドレスをCH4のスタートアドレスにコピーする。そして転送カウンタの値が「セクタ数×セクタ長-オフセット値」の値に設定される。さらに4-9では、転送ワード数より当該CHのスタートアドレスを更新する。そして4-10において、フェード処理が必要であればフェード処理要求を記憶し、メインルーチン（図3）にリターンする。即ち、CPU1は転送終了割込でしか転送終了を検知できないので、フェード処理要求を記憶しておき、後に（ステップ4-1、4-2で）フェード処理を実行する。

【0069】以上のようにして、4-4でイベント境界を検出してフェードデータを設定した場合、4-9までの転送処理の後、目的の処理を行なう。例えば図11(A)に示すように、あるイベントの最後のブロックDを転送し終ると、ブロックDのうち、網掛け部分のブロックEをフェードアウト処理する。つまり図11(C)に示すようにフェード処理される先頭部を1倍(0dB)とすると、イベントの最後のデータが0倍(-∞dB)になるような乗算を各データに行なう。

【0070】また、図11(B)に示すように、イベント先頭部分のブロックFを転送した場合は、図11(B)に示すFの先頭部分の斜線部Gを転送後にフェードイン処理する。つまり図11(C)に示すように、イベントの先頭データを0倍、フェードイン領域の最後を1倍とするような乗算を行なっていく。

【0071】なお、CPU1が行なう乗算処理は、あまり時間がかかると、乗算処理を繰り返している間に、カレントアドレス（現発音データ）が今処理中のブロックまで達してしまい、データ転送が間に合わなくなるということがある。しかし異音を出さないためのフェードイン・アウトの処理はせいぜい数十から数百サンプルであり、ディスクのアクセスタイムである数十mSに対してμS～1mSオーダの処理はCPUの性能からいって十分可能であり、ディスクの転送シーケンスに大きな影響を及ぼすものではない。またフェード処理のための計算

は、CPUが行なうのではなく、ハードウェアを用いてそれをCPUが制御して計算させてもよい。

【0072】ところで、図4におけるステップ4-11においては、イメージ領域（実際には存在していないアドレス領域）にダミー転送を行なうようにしている。これは特にイメージ領域でなく、バッファ中の未発音データ以外の領域に転送してしまっても効果としては同じであるが、この場合、スタートアドレスの設定をその度にDMAコントローラ10のレジスタ104から得なくてはならない。しかし、イメージ領域ならば、スタートアドレスはイメージ領域の最初を示す固定値にして、アドレスレジスタ104の転送カウンタだけをプログラムすればいいので、やや効率がよい。

【0073】次に、図3に戻る。後の説明でも明らかになるとおり、最初の割込みルーチン（図4）が起動されて、HDコントローラ11が一度動かされると、あとは、CPU1が指定したデータブロックの転送が終了するたびに、HDコントローラ11から割込みがなされる（INT信号がCPU1に与えられる）ので、CPU1が行なうのは、録音／再生動作の終了になったか、キー入力があったかまたはコントロールデータに指示しておいたトリガがかかったかの判断を行うのみである。

【0074】すなわちCPU1は、3-9においてディスクアクセスポイント（RAM3）を参照し、メモリエリアオーバーか否か、つまり終了か否かをジャッジし（3-10）、YESの場合は、各音声入出力装置8-1～8-3のA/D変換、D/A変換動作を停止（3-11）させ、3-1に戻る。NOの場合は、キー入力状態を参照し（3-12）、もし変化がなければ、ディスクアクセスポイントをチェックすべく3-9の処理へもどり、以下3-9～3-13をくりかえす。

【0075】そして3-13において何らかの変化があると、3-13から3-14に進み、CPU1は、DMA転送を一時中断して、新たな設定をすべく、DMAコントローラ10に対するDMA中止指令（DMAEND）を出力する。続けて、新たな入力指示等に従って、DMAコントローラ10、音声入出力装置8-1～8-3をプログラムし（3-15）、再びDMA動作を再開すべく3-16に進み、上述した3-8と同様に図4のインタラプトルーチンを実行した後、3-9へもどる。

【0076】このように、CPU1はプレイ／レコード時にあっては、3-4～3-8の初期設定を行なった後は、3-9、3-10、3-12、3-13更に3-14～3-16をくりかえし実行し、キーボード4での変更指示（例えばあるトラックについてポーズ（A/D、D/Aの中断）あるいはパンチイン／アウト（A/D、D/Aの動作の切換）等）や、編集時に得たコントロールデータの変化に応答して、即時にDMA転送制御を中断し、プログラムを変更した上で、再び同様の処理を実行するように動作する。

【0077】3-2において、CPU1が現在、イベント処理モードにあると判断すると、3-2から3-17に進み、ハードディスク12a、12bに記憶されている音声データをイベント化する。イベント化とは、手動指定操作などによって時間軸上に連続した音声データを複数に区切り、各区切られた音声データ（イベント）を識別するためのイベント名、ディスクID、および区切られた区間を示すデータ（スタートポイントとその長さ（ボリューム））を作り出すことを意味する。イベント化に対応して、3-18においてイベントテーブル（図12）が作成される。このイベントテーブル（ET）には、イベント名、ディスクID、スタートポイントおよびボリュームが登録される。ディスクID、スタートポイントおよびボリュームは、当該イベントが記憶されるハードディスク12a、12bのスタートアドレスおよびイベント長に相当する。

【0078】次いで3-19において、前記イベントテーブルに基づいてイベントシーケンステーブルEST（図14）が作成される。このイベント処理3-17～3-19は繰り返されることになるが、操作者の指示によりESTの作成の終了が3-20で検出されると、CPU1は3-1において再びキー入力を調べる。

【0079】3-2において、CPU1が現在、編集（EDIT）モードにあると判断すると、3-2から3-21に進み、編集するトラックやポイント、どのような編集をするのか（例えば、ある時間指定したポイントに録音した音のタイミングを前後にずらしたり、修正、削除したりすること）をCPU1は判断し、各種編集作業を実行する（3-22）。この編集作業は、特には詳述しないが、HDコントローラ11とDMAコントローラ10に対するハードディスク12a、12bからの読み出しアクセスポイントのプログラムや、RAM3への転送、RAM3を用いての各種編集、そして編集後のデジタル音声データのハードディスク12a、12bへの再格納作業、アクセスポイントの指定等を、CPU1の制御下で実行する。3-23において編集作業の終了が検出されると、CPU1は、3-1において再びキー入力を調べる。

【0080】<音声入出力装置8-1～8-3の動作>次に図7を参照して、音声入出力装置8-1～8-3の動作状態を説明する。このフローチャートは、マイクロプログラム制御によるものであっても、ハードロジック制御によるものであってもよく、機能実現手段は種々選択できる。

【0081】さて、7-1においてCPU1から当該音声入出力装置の指定信号CSが到来している（アクティブとなっている）か否かジャッジし、YESならば7-2において、CPU1より動作状態（レコード、プレイ、ストップ等）が設定される。これは図3のCPU1のメインルーチンの中の3-5、3-15に応答してな

される。

【0082】そして、7-1においてNOの判断がなさると7-3において、当該音声入出力装置8-1～8-3がレコード状態であるかプレイ状態であるのか判断し、レコード状態と判断されると、7-3から7-4～7-9の処理へ進み、プレイ状態と判断されると7-10～7-15の処理へ進む。

【0083】まず、レコード状態に設定された音声入出力装置（いまの場合音声入出力装置8-2、8-3）の動作を説明する。7-4において、サンプリング時刻となつたか否か判断し、サンプリング時刻となるまで、この7-4をくりかえす。なお、サンプリング時刻の判断は、音声入出力装置8-1～8-3内部に夫々ハードタイマーをもつてその出力によって行つてもよく、あるいは共通なハードタイマーを設けてその出力に従つて各音声入出力装置が動作するようにしてもよい。後の説明からも理解されるとおり、各音声入出力装置8-1～8-3のサンプリング周波数を別々にすることも可能である。

【0084】さて、7-4においてYESの判断がなさると、与えられるアナログ音声信号は、サンプルホールド(S/H)され、A/D変換される。続いて、7-6において、DMAコントローラ10に対してDMA転送要求DRQをアクティブにして出力する。

【0085】DMAコントローラ10は、この要求信号DRQを受けとり、DMA転送を行うべく、その回答信号DAKを出力する。従つて、音声入出力装置8-1～8-3（いまの場合レコード状態である音声入出力装置8-2又は8-3）は、7-7の判断がYESとなると、7-8に進み、A/D変換して得たデジタル音声データをデータバスに出力し、対応するバッファ9-1～9-3（いまの場合バッファ9-2又は9-3）へ送る。そして、7-9にて、DMA転送要求DRQをインアクティブにする。従つて、いまの場合、音声入出力装置8-2、8-3にあっては、サンプリング周期毎に、外部から与えられるアナログ音声信号をデジタル音声信号に変換し、後述するようにDMAコントローラ10にて夫々指定されるバッファ9-2、9-3のカレントアドレスに転送する（図10参照）。

【0086】また、7-3においてプレイ状態と判断されると、7-10に進み、DMAコントローラ10に対しDMA転送要求DRQをアクティブにし、DMAコントローラ10から回答信号DAKの到来を待つ（7-11）、データバス上のデジタル音声データを取り込み（7-12）、上記要求DRQをインアクティブにする（7-13）。このときのDMAコントローラ10の動作は後述するが、いまの場合図10に示すとおり、Tr1に対応するバッファ9-1のカレントアドレスの内容（これはすでにハードディスク12a、12bのTr1のエリアの内容が転送記録されている）が、以上の操作

で音声入出力装置8-1に入力設定されることになる。そして、サンプリング時刻となつたか否か判断する（7-14）。このサンプリング時刻の到来の検出は、7-4において述べたことと同じである。

【0087】そして、7-14でYESとなると7-15に進み、D/A変換及びローパスフィルタリングを実行した上でアナログ音声信号を外部に出力する。

【0088】以上、レコード状態の場合と、プレイ状態の場合との1つのサンプリング時刻における動作を説明したが、7-9、7-15の各処理の終了後7-1にもどり以下同様にして次々とサンプリング時刻に対する処理を実行する。

【0089】<DMAコントローラ10の動作>次に、図8を参照してDMAコントローラ10の動作を説明する。この図8のフローチャートは、図2のサービスコントローラ108がマイクロプログラム制御で動作するのを表わしているとしてもよく、あるいは、ハードロジックでDMAコントローラ10が機能実現をしているとしてもよい。

【0090】まず、8-1において、CPU1からの指定信号CSが到来している（アクティブとなっている）か否か判断し、YESならば、リード信号RD、ライト信号WRのいずれがCPU1から与えられているか判断（8-2）し、リード信号RDならば8-3に進み、アドレスバスを介して与えられるアドレス信号にて指定されるレジスタ104、105の内容をデータバスを介して出力してCPU1がリードできるようにし、逆にライト信号WRならば8-4に進み、指定したレジスタにデータバスを介して所望のデータを入力設定することになる。この8-3、8-4の処理は、CPU1のメインルーチンの3-5、3-15などの処理に対応する。従つて、8-4の処理によって図2の各レジスタ104、105には所望のデータがセットされることになる。

【0091】そして、このようなCPU1からのDMAコントローラ10に対するアクセスやプログラムが終ると指定信号CSはインアクティブとされ、8-1から8-5に処理は進むことになる。

【0092】8-5では、各音声入出力装置8-1～8-3からDMA転送要求DRQ1～DRQ3がきているか、HDコントローラ11からDMA転送要求DREQ(DRQ4)がきているか判断し、もし、いずれかから要求が来ていると8-6に進み、DMA可能信号DMAENBを“1”に（アクティブ）にし、DMAユニット内のアドレスバスとデータバスをDMAコントローラ10が専有するようにし、CPU1からのアクセスを受け付けなくする。

【0093】続いて、複数の要求に際しては、チャンネルCH1～CH4の順の優先順位に従つて、チャンネルを選択する（8-7）。

【0094】次ぎに、アドレスレジスタ104のCH4

が選択され、かつ、CH4に設けられた転送カウンタの値が“0”であるか否かが判断される(8-8)。ここでCH4が選択され、かつ、転送カウンタの値が“0”であれば、つまりCH4により、転送すべきデータ量だけの転送が終了してしまった後は、転送要求があつても、転送を行わずに8-5にもどり、8-5～8-8のルーチンを繰り返す。そしてCH4が選択されていないか、またはCH4が選択されていても転送カウンタの値が“0”でなければ、選択したチャンネル(いま、例えばCH2)のカレントアドレス(アドレスレジスタ104のCH2のカレントアドレスレジスタの内容)をアドレスバスに出力する(8-9)。そして選択したチャンネル(いま、例えばCH2)のコントロールレジスタ105の内容を参照し、DMA転送をいずれの方向へ行うか決定し(8-10)、もしバッファ9-1～9-3から他の要素(1/O)への転送なら8-11から8-12へ進んで、バッファ9-1～9-3のうちの選択しているバッファに対しリード信号RDを与え、逆に他の要素(1/O)からバッファ9-1～9-3への転送ならば8-13に進み、当該バッファに対してライト信号WRを与える。

【0095】しかる後、回答信号DAKをアクティブにする(8-14)。その結果、いまの場合、Tr2の音声入出力装置8-2は、7-7、7-8(図7)の処理によって、サンプリングした音声データをデータバスに送出し、バッファ9-2のカレントアドレスのエリアに、DMAコントローラ10が書込むことになる(図10参照)。

【0096】8-15では、データ転送が終了したので、上記リード信号RD又はライト信号WR、回答信号DAKをインアクティブにし、8-16で当該チャンネル(いまCH2)のカレントアドレス(図2のアドレスレジスタ104内)の内容を+1とし、バッファの最終アドレス到達の後はバッファ開始アドレスにリセットさせる。この8-16の動作により、バッファ9-1～9-3に対して新たなサンプリング音声データが書込まれる都度、あるいは新たに音声データが読出される都度、アップカウントまたはバッファ開始アドレスにリセットされることになる。そして、8-16の処理の後、8-1へもどる。

【0097】先程の状態では、Tr2とTr3との音声入出力装置8-2、8-3よりデータ転送要求がDMAコントローラ10に対してなされており、これまでにTr2についてのみデータ転送の実行をしたのであるから続く8-5においてはYESの判断がなされる。以下Tr3に関して、音声入出力装置8-3からバッファ9-3の方向へのデータ転送が、8-7～8-11、8-13～8-16を実行することにより上記した場合と同様にしてなされる。

【0098】このようなデータ転送が完了すると、8-

5から8-17に進み、DMA可能信号を“0”(インアクティブ)にして、DMAユニット内のデータバス、アドレスバスをDMAコントローラ10が専有するのを中止し、CPU1からのアクセスを受付けられるようにする。

【0099】以上、Tr2、Tr3に関し、音声入出力装置8-2、8-3から夫々対応するバッファ9-2、9-3へのデータ転送について説明したが、Tr1については、逆に、バッファ9-1から音声入出力装置8-1へのデータ転送がDMAコントローラ10によってなされる。

【0100】CPU1は、動作中のトラックに対応するバッファ9-1～9-3とハードディスク12a、12bとの間のデータ転送を各トラック毎に順番に行うようになり、各トラック毎に、前回のデータ転送(ブロック転送)に続くデータ転送を行うようになる。図10の例では、例えばTr1については、ハードディスク12a、12bから、図示のスタートアドレス(CH1)とカレントアドレス(CH1)の間の空白部分に対応するデータ量の転送をこれから行うようになる(他のトラックについてもデータ転送の方向は逆であるが、同様の制御によることは明らかである)。なお、プレイモードのバッファ(9-1が該当)およびレコードモードのバッファ(9-2、9-3が該当)では斜線部分が音声入力されたデータ部分に対応する。

【0101】DMAコントローラ10では、8-5においてHDコントローラ11から転送要求があることを検知すると、上記した場合と同様にして、8-6～8-10を実行した後、バッファ9-1～9-3からハードディスク12a、12b方向へのデータ転送の要求か、ハードディスク12a、12bからバッファ9-1～9-3方向へのデータ転送の要求かを8-11において判断し、前者ならば8-12へ、後者ならば8-13へ進んだ後、8-14～8-16の各処理を実行する。このとき、1回の転送操作で、例えば1サンプル分のデジタル音声データの転送がなされるので、この8-5～8-16の動作を複数回くりかえし実行して、ブロック転送がなされる。

【0102】そして、DMA転送が完了すると、要求信号DRQ1～4が到来しなくなり、8-5から8-17へ進み、DMA可能信号DMAENBを“0”(インアクティブ)とする。

【0103】<HDコントローラ11の動作>次に、図9を参照してHDコントローラ11の動作を説明する。このHDコントローラ11は、ハードロジックによっても、マイクロプログラム制御によってもよく、いずれにしても図9の動作フローの機能を実現する。

【0104】まず、CPU1から指定信号CSが与えられているか判断する(9-1)。これは、CPU1のインターブルーチンにて与えられる。NOの場合はもと

にもどるが、YESの場合は、9-2に進みCPU1からリード信号RDが与えられているか、ライト信号WRが与えられているか判断し、リード時にはHDコントローラ11内部の指定データ（アドレスレジスタの内容等）をデータバスを介してCPU1へ出力する。

【0105】また、ライト信号WRが与えられているときは9-2から9-4に進み、今回DMAコントローラ10のチャンネルCH4にてDMA転送するバッファとハードディスク12a, 12bとのデータ転送方向を設定し、9-5にて、アクセスするハードディスク12a, 12bのアクセスポイントを設定する。これは、CPU1がRAM3から得ている当該トラックのディスクアクセスポイントによる。

【0106】続いて9-6において、転送データ数（デジタル音声データ数）をHDコントローラ11の内部カウンタに設定する。この転送データ数は、CPU1のインタラプトルーチンの中に得ている。

【0107】このように、9-4～9-6を実行することによってCPU1の制御のもとでHDコントローラ11はプログラムされ、その後HDコントローラ11はDMAコントローラ10に対しデータ転送の要求をする（9-7）。このことからも理解されるとおり、CPU1は、HDコントローラ11からインタラプト信号INTを受けると、次のトラックに対応する（つまり、いまTr1～Tr3は全て動作中とすると、Tr1, Tr2, Tr3, Tr1……の順で）DMA転送の設定、制御をDMAコントローラ10に対し実行し、HDコントローラ11をプログラムする。その後、CPU1はHDコントローラ11とDMAコントローラ10とから離れて、相互のインタラクションで実際のDMA転送を実行させる。

【0108】HDコントローラ11は、9-7の次に9-8へ進み、DMAコントローラ10から回答信号DA CK(DAK4)を受けとる（図8、8-14参照）まで9-8をくりかえす。

【0109】9-8の判断がYESとなると、9-9に進みDMAコントローラ10のCH4の動作によって、1サンプルのデジタル音声データの転送が行われ、9-6にて設定した転送カウンタを1だけダウンカウントする（9-10）。続く9-11において、予め設定しておいた転送データ数分のデータ転送が完了したか上記転送カウンタの内容に従ってジャッジし、NOならば再び9-8へもどる。従って、DMAコントローラ10においては、HDコントローラ11から設定したデータ数の転送（ブロック転送）が終了するまで、転送要求DRQ4を続けて受けとることになり、この転送要求に従って8-5～8-16の処理（図8）を実行し、それに応答する形でHDコントローラ11側では9-8～9-11の処理を実行する。

【0110】そして、転送終了が9-11にて判断され

ると、9-12に進み、HDコントローラ11からDMAコントローラ10に対してのデータ転送の要求DREQ(DRQ4)を“0”（インアクティブ）とする。そして、次のトラックに関してハードディスク12a, 12bとバッファ9-1～9-3のいずれかとのデータ転送を行わせるために、HDコントローラ11はCPU1へインタラプト信号INTを与える（9-13）。これに応答して、CPU1はインタラプトルーチンを実行することは上述したとおりである。

【0111】

【発明の効果】請求項1の発明によれば、イベントの境界の直前または直後のデータブロックのデータを、フェードデータによって変更するようにしたので、ランダムアクセス編集を行なったデータを再生する際、イベントの繋ぎ目部分において発生する異音を確実に抑えることが可能となる。またフェード作用は、記録したデータを変更したり、変更を加えたデータを別のエリアに持つことなく、再生中に動的に変更するので、データ領域を有效地に使える利点があり、また信号処理をデータ先読みの時に行なうことができるので、信号処理のタイミングに関する制御も容易となる。

【0112】請求項2の発明によれば、指定された音声データの任意の位置の直前または直後のデータブロックのデータを、フェードデータによって変更するようにしたので、請求項1に記載のデジタルレコーダの前記した効果に加え、ユーザの望む位置にフェードインまたはフェードアウトが設定でき、録音時に記録してしまったップノイズなどの短時間のノイズを抑圧させることができとなる。

【図面の簡単な説明】

【図1】本発明のデジタルレコーダの一実施例の全体構成を示すブロック図である。

【図2】図1のDMAコントローラ10の要部の具体例を示すブロック図である。

【図3】図1のCPU1のメインルーチンを示すフローチャートである。

【図4】図1のCPU1のインタラプトルーチンを示すフローチャートである。

【図5】図4に示したインタラプトルーチンにおけるステップ4-4の作用を説明するためのフローチャートである。

【図6】図5に示したフローチャートにおけるステップ5-12の作用を説明するためのフローチャートである。

【図7】図1の音声入出力装置8-1～8-3の動作を示すフローチャートである。

【図8】図1のDMAコントローラ10の動作を示すフローチャートである。

【図9】図1のHDコントローラ11の動作を示すフローチャートである。

【図10】図1のデジタルレコーダの全体的な動作を示す概念図である。

【図11】図1のデジタルレコーダにおけるフェードイン・フェードアウトの動作を示す概念図である。

【図12】図1の実施例におけるイベントテーブルの一例を示した説明図である。

【図13】図1の実施例におけるオリジナルレコーディングデータのイベントシーケンステーブルの一例を示した説明図である。

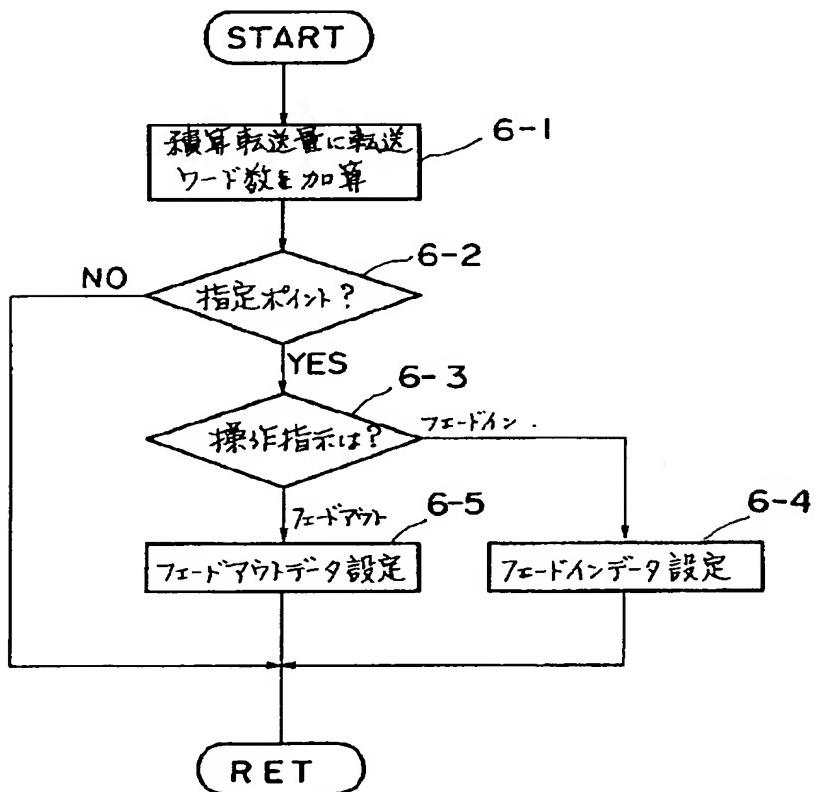
【図14】ユーザ定義のイベントシーケンステーブルの一例を示した説明図である。

【図15】カレントデータの一例を示した説明図である。

#### 【符号の説明】

- 1 CPU
- 2 ROM
- 3 RAM
- 8-1, 8-2, 8-3 音声入出力装置
- 9-1, 9-2, 9-3 バッファ
- 10 DMAコントローラ
- 11 HDコントローラ
- 12a, 12b ハードディスク
- 13 デコーダ
- 14, 15 アンドゲート
- 16 インバータ

【図6】



【図13】

オリジナルレコーディングデータの  
イベントシーケンステーブル

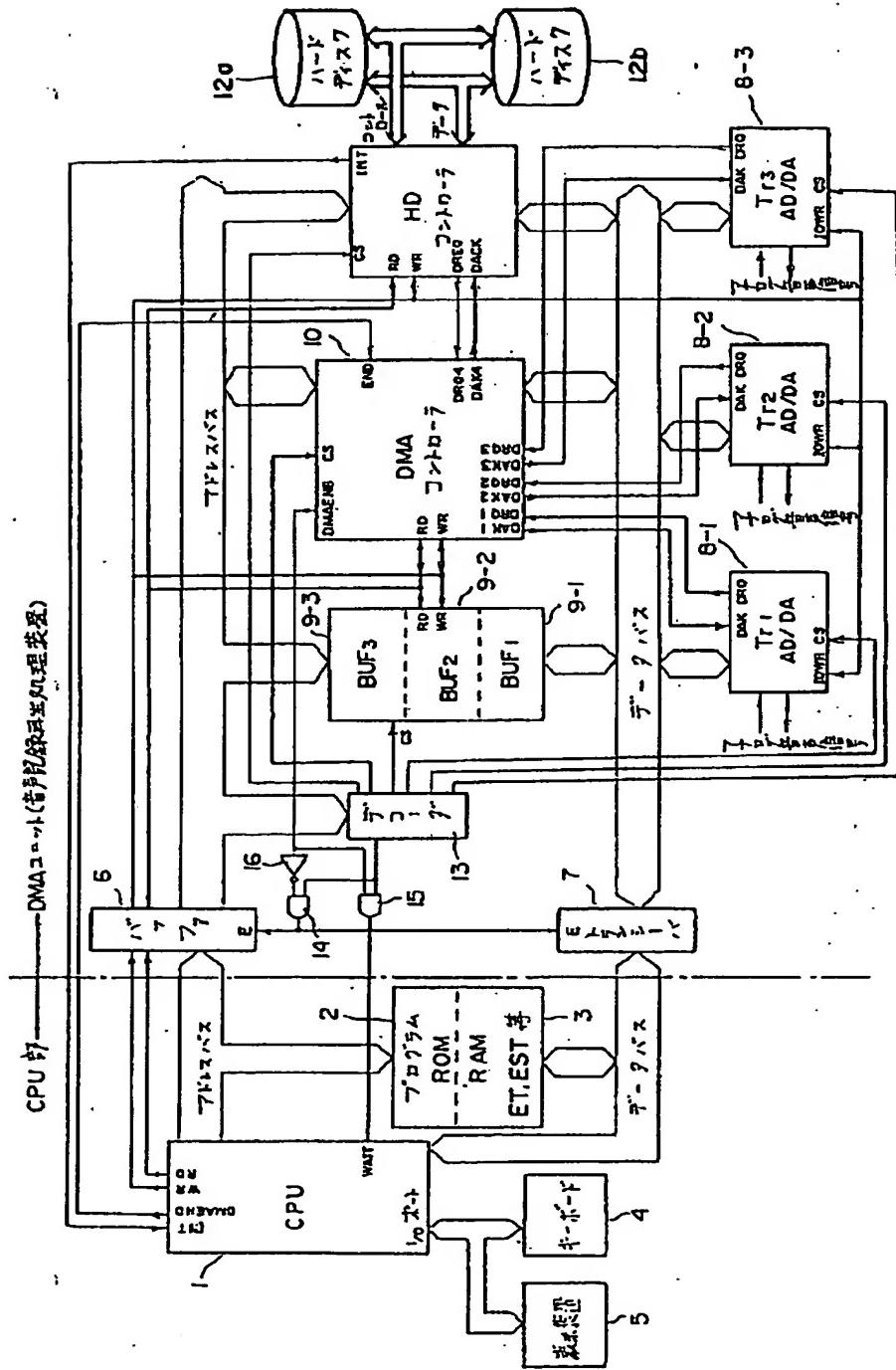
	0	1	2
Track 1	1	0	
Track 2	2	3	0
Track 3	4	0	

【図15】

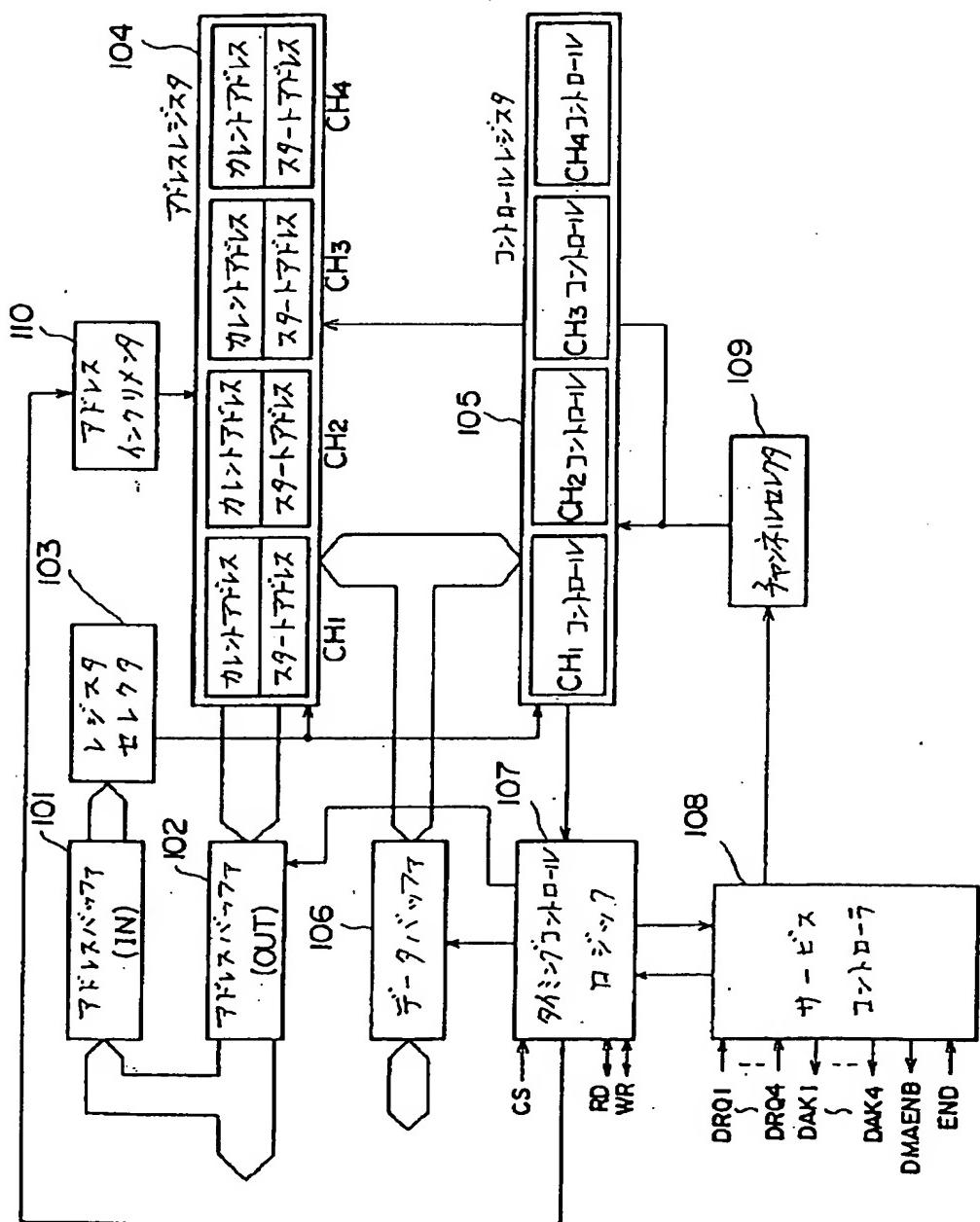
カレントデータ

EST index	Track 1	Track 2	Track 3
	1	3	2
既転送量	00005678	00004567	00006789

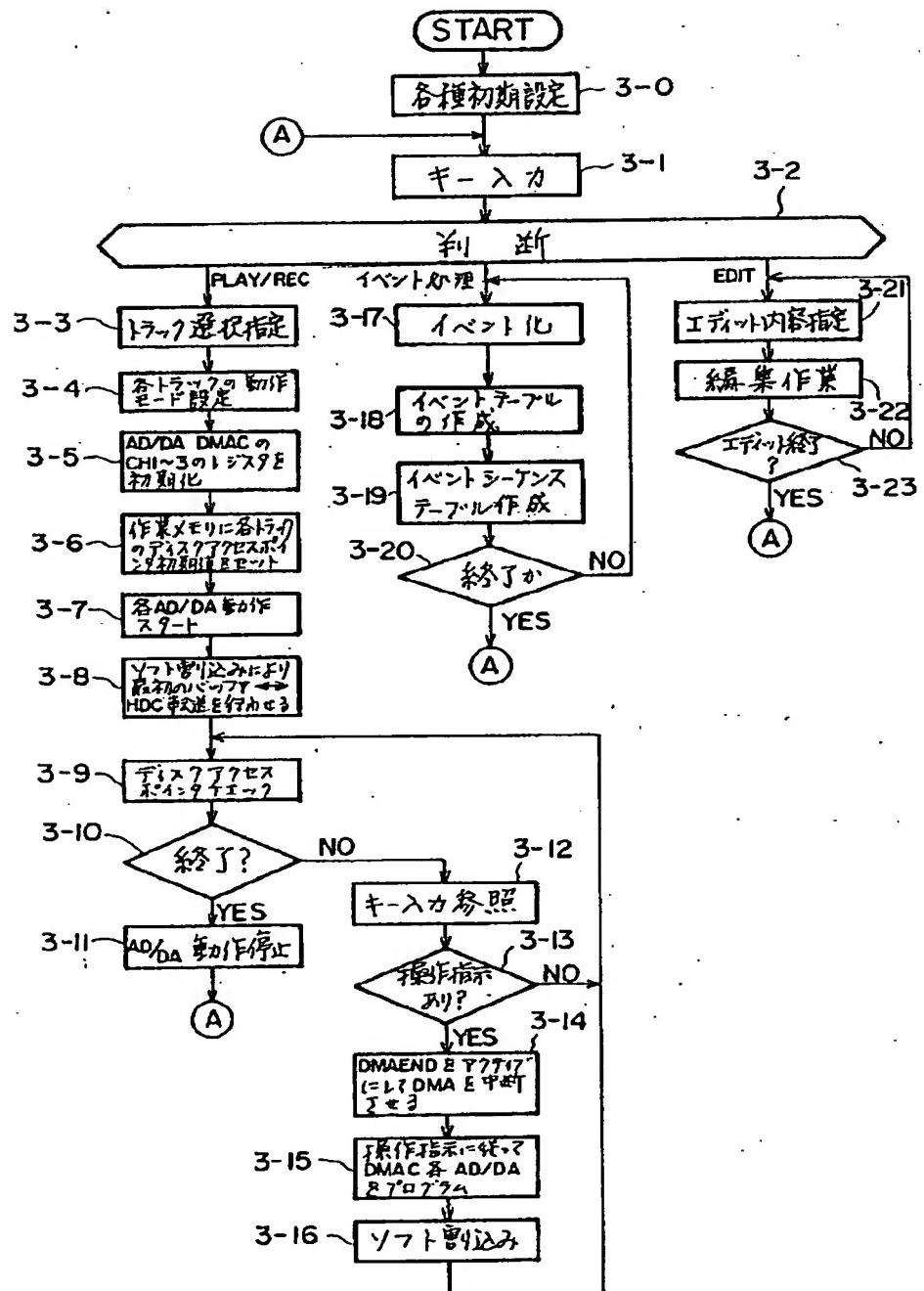
【图.1】



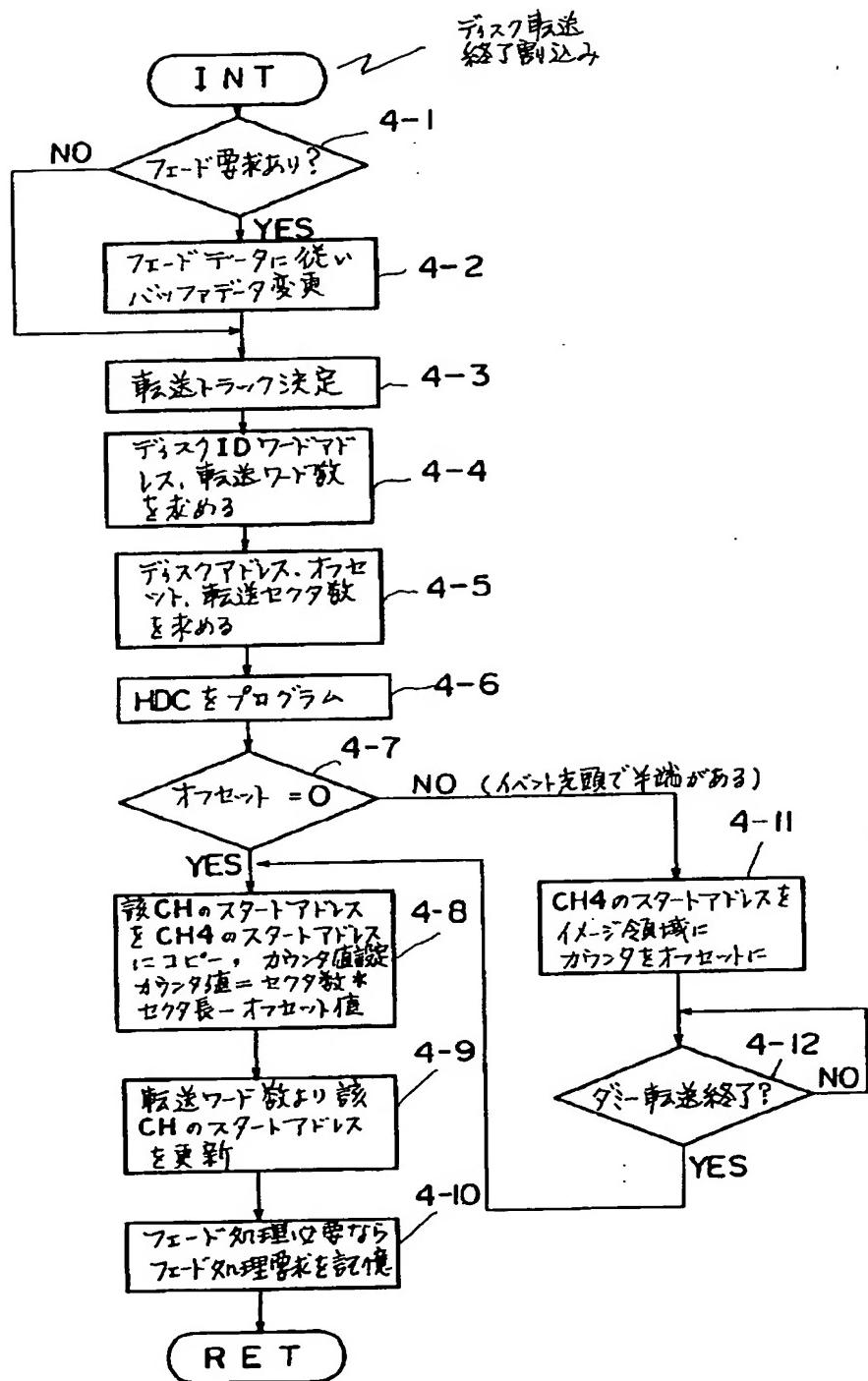
【図2】



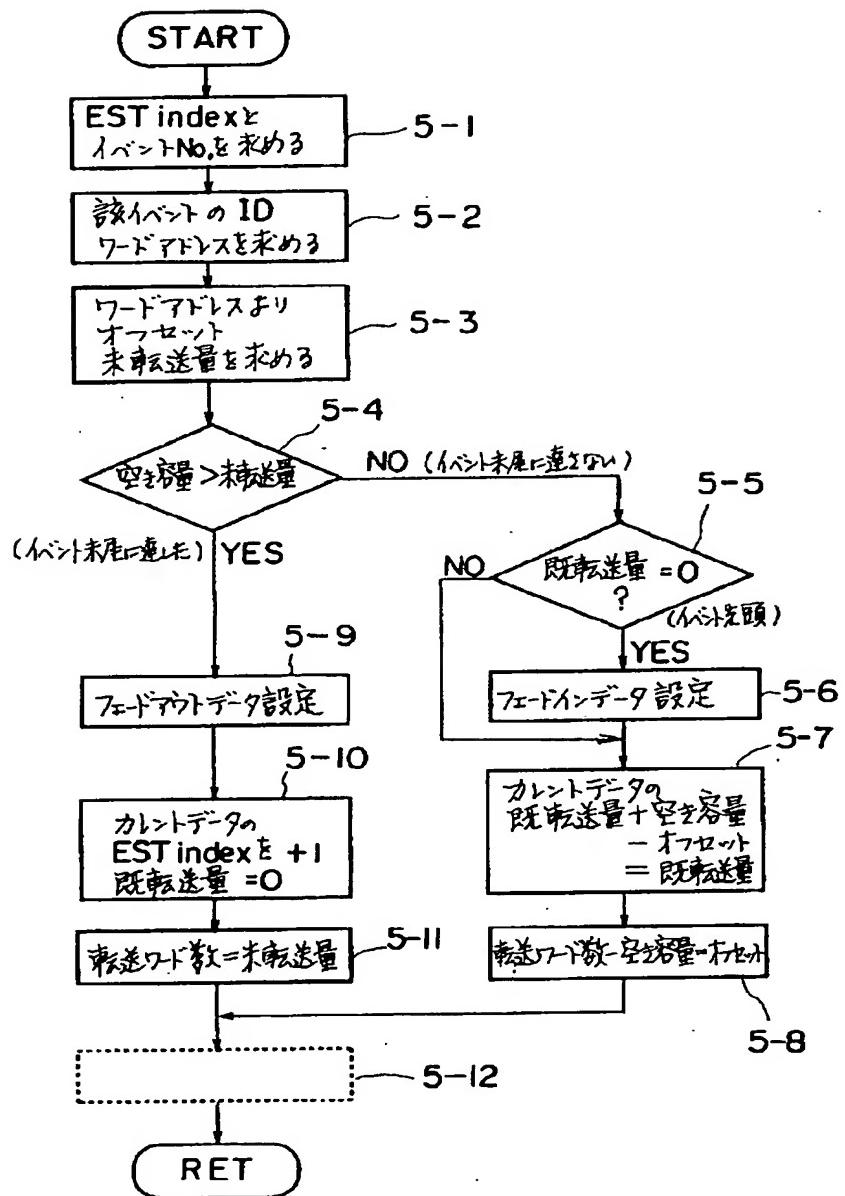
【図3】



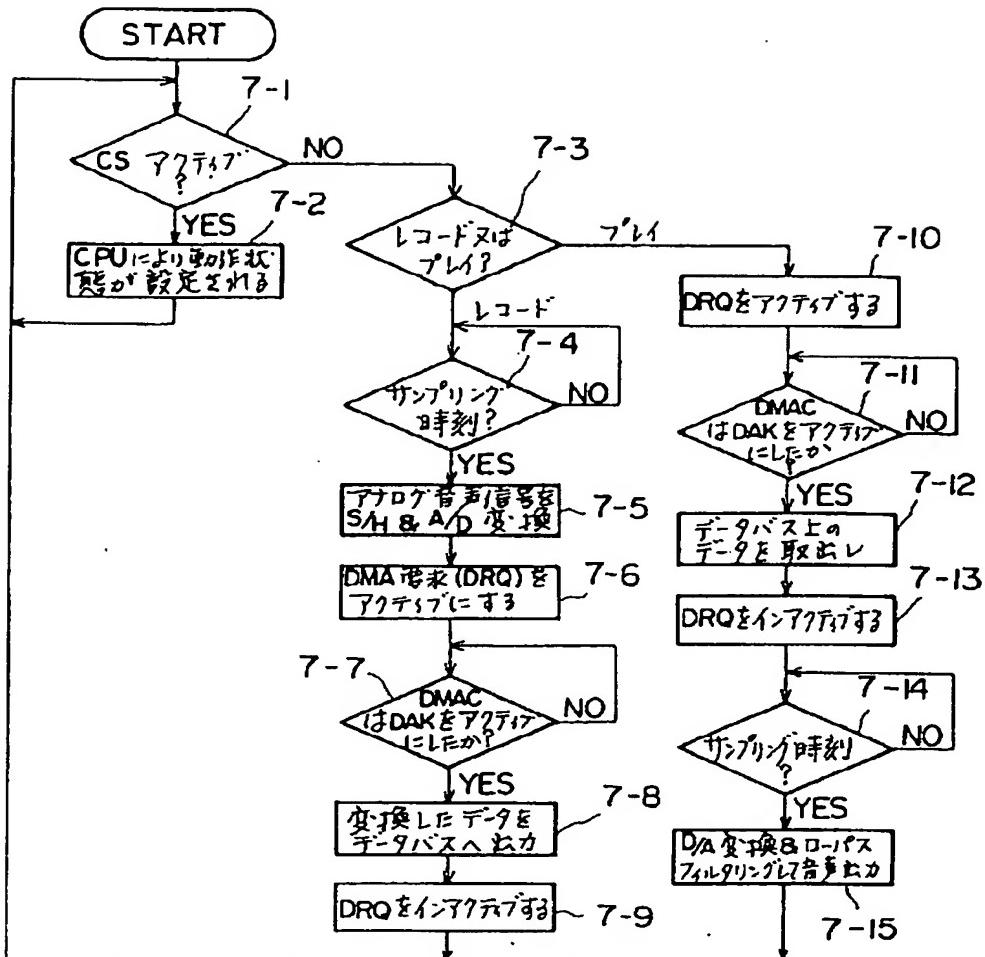
【図4】



【図5】



【図7】

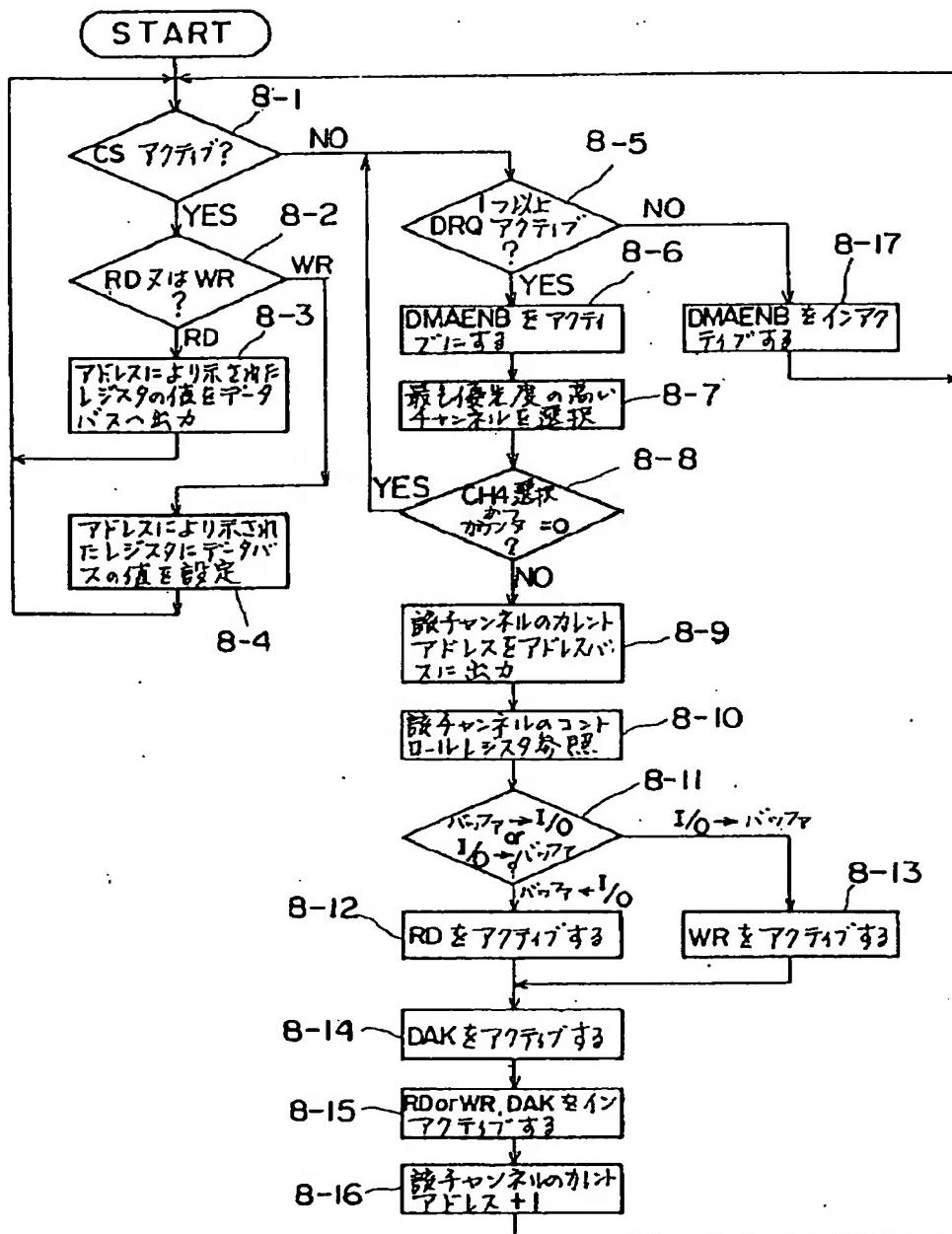


【図14】

編集作品1のイベントシーケンステーブル

	0	1	2	3	4	5	6	7	8
Track1	21	27	10	6	6	6	27	25	0
Track2	7	21	5	21	18	11	0		
Track3	22	25	20	7	19	24	10	0	

【図8】



【図9】

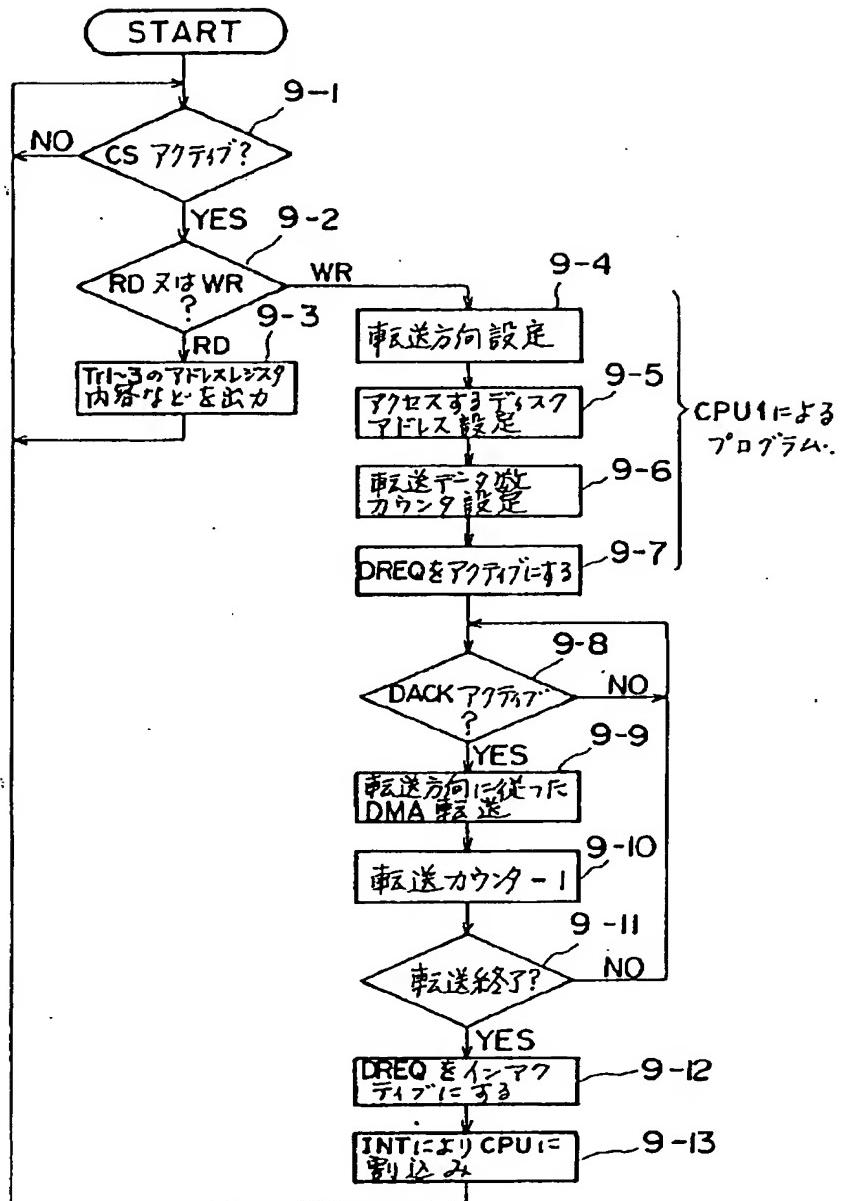
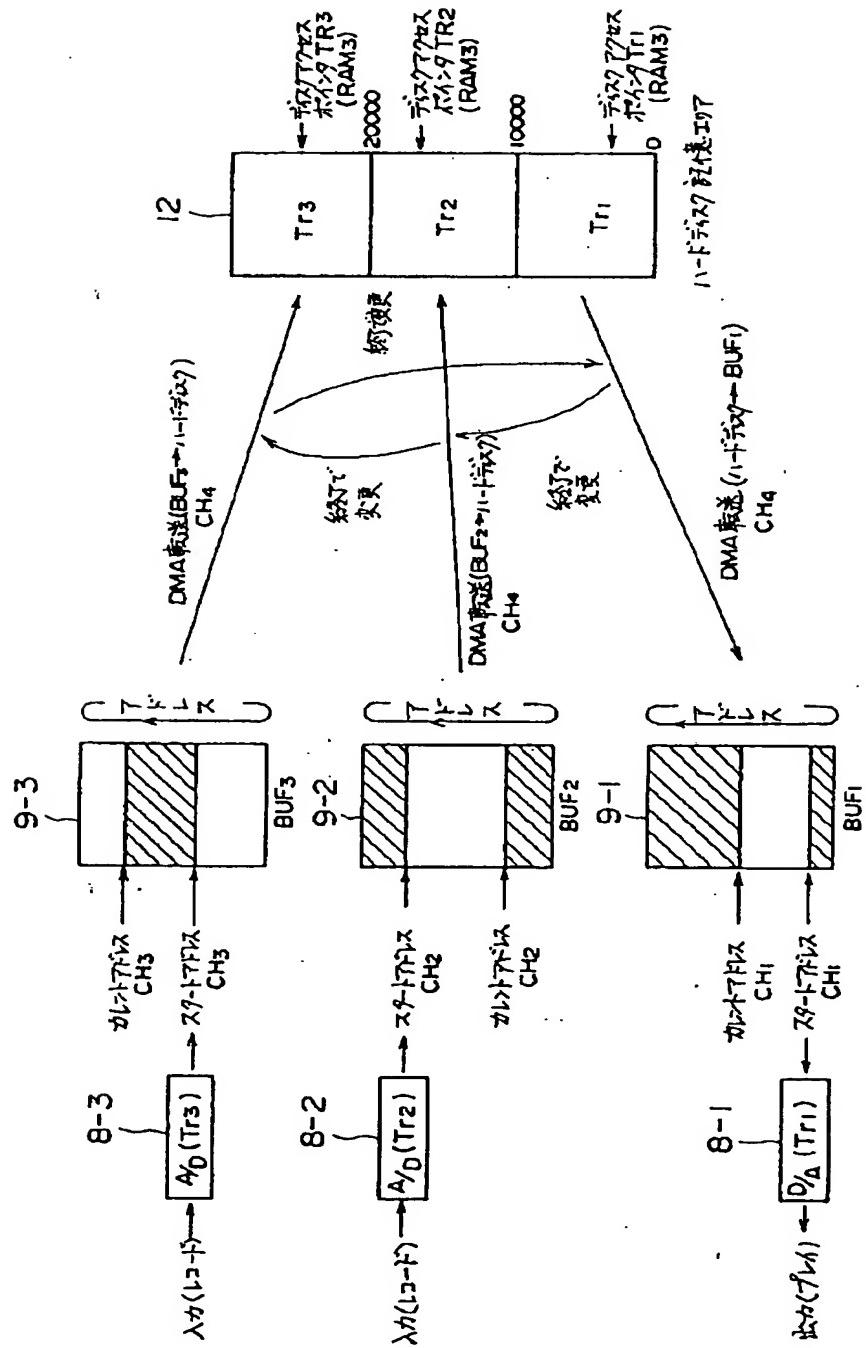
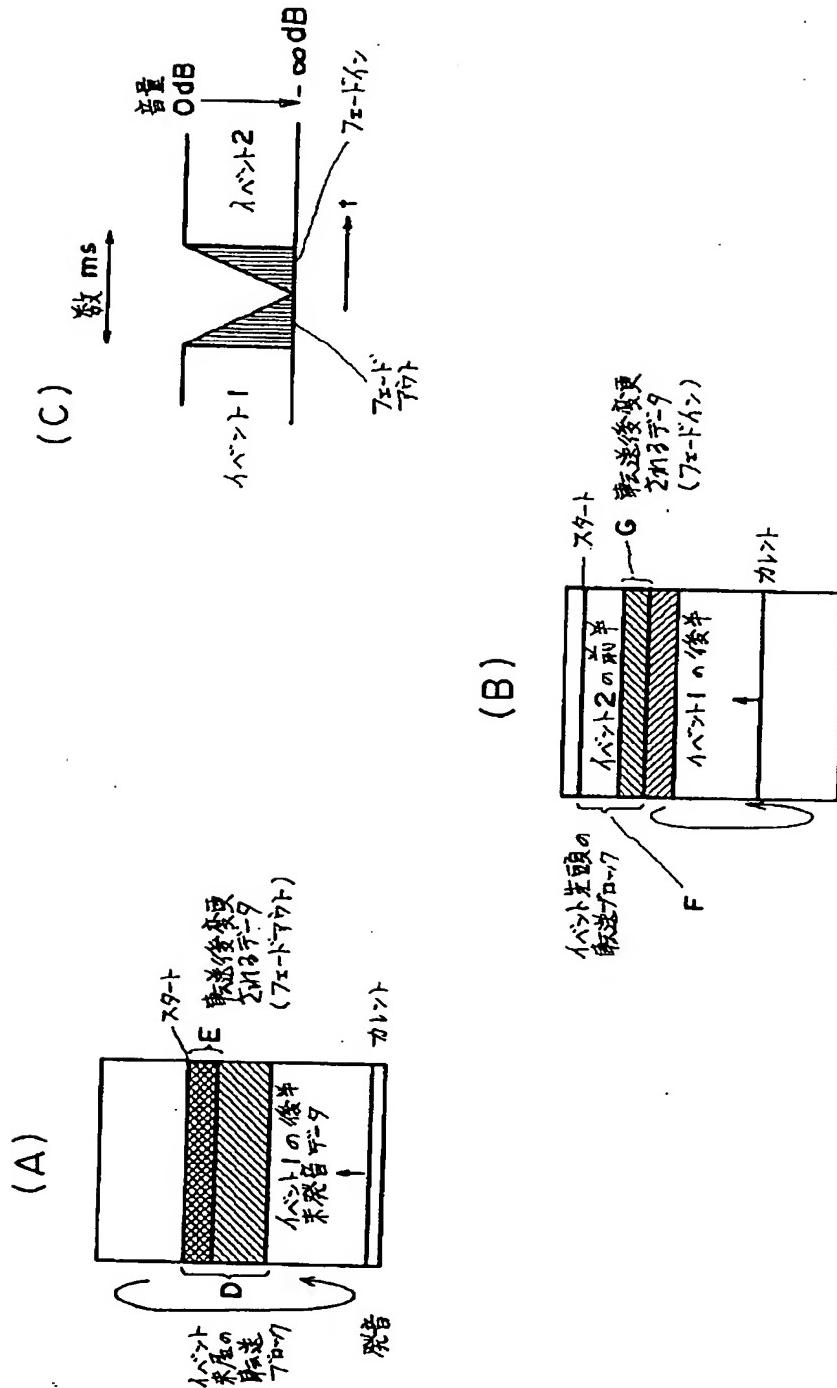


図10



【図11】



【図12】

イベントテーブル オリジナルレコード

データ

	1	2	3	4	5	
name	Track1	Track2	Track3	Track3	intro_a	
id	00	00	01	01	00	
adr\$	00000001	00100000	00000000	00090000	00000412	
vol	00100000	00070000	00090000	00100000	00009149	

	6	7	8	9	10	
take_l	SE_a	fill_in	Melo_A	SE_i	-----	
00	00	01	01	00	-----	
00094835	000f3b24	00053245	00009000	000ABCDE	-----	
00002340	00070000	00009675	00010000	0000460F	-----	